تمرین هفتم تاریخ تحویل: ۶ تیر

۱. : ارتقای معماری پردازنده از تک‌چرخه به خط لوله [1] پنج مرحله‌ای

هدف تمرین

هدف از این تمرین، درک عملی مفاهیم خط لوله، افزایش توان عملیاتی[2] و مدیریت مخاطرات[3] است. شما پردازنده‌ی تک‌چرخه‌ای که در تمرین ۵ طراحی کردید را به یک پردازنده‌ی خط لوله ۵ مرحله‌ای[4] تبدیل می‌کنید و روش‌های ارسال رو به جلو[5] و توقف[6] را برای رفع مخاطرات داده[7] و کنترلی[8] پیاده‌سازی می‌نمایید.

مشخصات ورودی‌ها و خروجی‌ها

ورودی‌ها:

- `Clk`: سیگنال ساعت
- `Rst`: سیگنال بازنشانی
- `InstrIn`: دستور خوانده شده (۳۲ بیت)
- `DataIn`: داده خوانده شده (۳۲ بیت)

خروجی‌ها:

- R0، R2، ...،R31: ۳۲ ثبات ۳۲ بیتی
- `InstrAddr`: نشانی دستور (۳۲ بیت - مضرب ۴)
- `DataAddr`: نشانی داده (۳۲ بیت - مضرب ۴)
- `DataWrite`: نوشتن یا خواندن از حافظه داده
- `DataOut`: داده در حال نوشته شدن به حافظه (۳۲ بیت)
- `D_PC`: شماره دستوری که در مرحله رمزگشایی درحال اجراست (۳۲ بیت)

[1] pipeline
[2] throughput
[3] hazards
[4] 5-stage pipeline
[5] forwarding
[6] stall
[7] data hazards
[8] control hazards

- D_Instr: دستوری که در مرحله رمزگشایی درحال اجراست (۳۲ بیت)
- D_Valid: معتبر بودن مرحله رمزگشایی
- D_Rs: مقدار ثبات Rs (۳۲ بیت)
- D_RsValid: معتبر بودن خروجی Rs
- D_Rt: مقدار ثبات Rt (۳۲ بیت)
- D_RtValid: معتبر بودن خروجی Rt
- D_Imm: مقدار ثابت خوانده شده از دستور (۱۶ بیت)
- D_ImmValid: معتبر بودن مقدار ثابت
- D_Address: نشانی خوانده شده از دستور (۲۶ بیت)
- D_AddressValid: معتبر بودن نشانی
- E_PC: شماره دستوری که در مرحله محاسبه درحال اجراست (۳۲ بیت)
- E_Instr: دستوری که در مرحله محاسبه درحال اجراست (۳۲ بیت)
- E_Valid: معتبر بودن مرحله محاسبه
- E_ResValid: معتبر بودن خروجی محاسبه
- E_Res: خروجی محاسبه (۳۲ بیت)
- W_PC: شماره دستوری که در مرحله نوشتن درحال اجراست (۳۲ بیت)
- W_Instr: دستوری که در مرحله نوشتن درحال اجراست (۳۲ بیت)
- W_Valid: معتبر بودن مرحله نوشتن

منطق پیاده سازی

خط لوله پردازنده‌ی شما باید شامل ۵ مرحله‌ی زیر باشد:

۱. **Instruction Fetch (F)**: واکشی دستور از حافظه‌ی دستورات و محاسبه‌ی PC+4.
۲. **Instruction Decode (D)**: رمزگشایی دستور، خواندن ثبات‌ها و محاسبه‌ی نشانی مقصد پرش‌ها (برای کاهش خطرات کنترلی).
۳. **Execute (E)**: اجرای عملیات ALU (جمع، تفریق، ضرب، تقسیم و مقایسه) و محاسبه‌ی نشانی مؤثر حافظه.
۴. **Memory (M)**: دسترسی به حافظه‌ی داده (خواندن یا نوشتن).
۵. **Write Back (W)**: نوشتن نتیجه در بانک ثبات.

بافرهای خط لوله

مطابق جدول ۱ بافرهای واسط زیر باید بین مراحل متوالی خط لوله قرار داده شوند. در هر بافر واسط، علاوه بر سیگنال‌های اختصاصی همان مرحله، مقدار PC، دستور ۳۲ بیتی و بیت اعتبار دستور نیز نگهداری می‌شود. بیت اعتبار مشخص می‌کند که دستور موجود در آن مرحله معتبر است یا باید به‌عنوان NOP در نظر گرفته شود.

جدول ۱: بافرهای واسط خط لوله و سیگنال‌های عبوری

بافر خط لوله	بین مراحل	سیگنال‌های ذخیره‌شده	توضیح
F/D	Fetch به Decode	D_PC، D_Instr، D_Active	نگهداری نشانی دستور، کد دستور و معتبر بودن آن برای مرحله‌ی رمزگشایی.
D/E	Decode به Execute	E_PC، E_Instr، E_Active، مقدار ثابت پس از توسعه‌ی علامت، شماره‌ی ثبات‌های rs، rt، rd، opcode و سیگنال‌های کنترلی مانند RegDst، ALUSrc، MemtoReg، RegWrite، MemRead، MemWrite، Branch، ALUOp و Jal	انتقال عملوندها، شماره‌ی ثبات‌ها و سیگنال‌های کنترلی لازم برای اجرای دستور در مرحله‌ی EX.
E/M	Execute به Memory	M_PC، M_Instr، M_Active، نشانی مقصد پرش محاسبه‌شده، نتیجه‌ی ALU، داده‌ی نوشتن در حافظه، شماره‌ی ثبات مقصد، سیگنال‌های کنترلی مربوط به MEM و WB، و سیگنال Zero برای BEQ	نگهداری نتیجه‌ی مرحله‌ی اجرا و اطلاعات لازم برای دسترسی به حافظه یا انجام پرش.
M/W	Memory به Write Back	W_PC، W_Instr، W_Active، داده‌ی خوانده‌شده از حافظه، نتیجه‌ی ALU، شماره‌ی ثبات مقصد، و سیگنال‌های کنترلی RegWrite و MemtoReg	نگهداری داده‌ی نهایی لازم برای نوشتن در بانک ثبات در مرحله‌ی WB.

مدیریت مخاطرات

الف) مخاطرات داده: خط لوله طراحی شده توسط شما باید وابستگی‌های داده را تشخیص داده و در صورت وجود، طبقات مربوطه رامتوقف کند. همچنین اگر یک محاسبه به زمانی بیش از ۱ چرخه ساعت نیاز داشت، باید مراحل قبل از خود متوقف شوند تا این محاسبه کامل شود.

ب) مخاطرات کنترلی: با توجه به اینکه پرش شرطی در مرحله E و پرش غیر شرطی در مرحله D مشخص می‌شود، باید مراحل پشت آن متوقف و نا معتبر شوند تا زمانی که نشانی درست در PC محاسبه شود.

نحوه آزمون

پردازنده شما توسط کد تمرین ۵ مورد ارزیابی قرار می‌گیرد. در ابتدا مدار در وضعیت بازنشانی قرار می‌گیرد، سپس درون حافظه مربوطه، دستورات مورد نظر قرار گرفته و حافظه داده ۰ می‌شود. در نهایت مدار از وضعیت بازنشانی خارج شده و پردازنده باید از همان چرخه ساعت شروع به کار کند. از این لحظه وضعیت ثبات‌های پردازنده شما با یک پردازنده معیار مقایسه شده و نمره دهی می‌شود.

خروجی‌های مورد انتظار برای تحویل

- فایل طراحی مدار در محیط Logisim (نام فایل: HW7-STUDENT_ID.circ) یا کد پیاده‌سازی مدار به زبان Verilog.
- گزارش کاملی از نحوه طراحی و اجرای آزمون ارائه کنید (نام گزارش: HW7-STUDENT_ID.pdf). توجه داشته باشید که نمره‌دهی تنها بر اساس نتایج همین آزمون انجام می‌شود.